

日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 5月30日

出 願 番 号

Application Number:

特願2001-162988

出 願 人

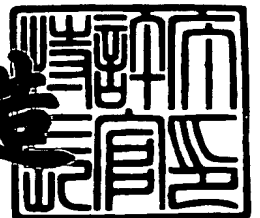
Applicant(s):

富士通株式会社

2001年 8月31日

特許庁長官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3079204

【書類名】 特許願

【整理番号】 0140588

【提出日】 平成13年 5月30日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 17/00

【発明の名称】 処理装置

【請求項の数】 10

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 山本 喜史

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 小泉 伸和

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 桜井 厚

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100090273

 【弁理士】

 【氏名又は名称】 國分 孝悦

 【電話番号】 03-3590-8901

【手数料の表示】

 【予納台帳番号】 035493

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9908504

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 処理装置

【特許請求の範囲】

【請求項 1】 データを記憶可能なメモリと、

複数のバタフライ演算処理を行うバタフライ演算処理部と、

前記バタフライ演算処理部による複数のバタフライ演算処理の結果を処理順の前記メモリのアドレスに書き込まず、ビット逆順の並び替えを行った前記メモリのアドレスに該バタフライ演算処理の結果を書き込むビット逆順並び替え処理部とを有し、

前記ビット逆順並び替え処理部により書き込まれたデータは離散高速フーリエ変換の結果である処理装置。

【請求項 2】 さらに、入力実数データを複素数データ化する複素数データ化部と、

前記ビット逆順並び替え処理部により前記メモリに書き込まれたデータを読み出して出力復元演算処理を行う出力復元演算処理部とを有し、

前記バタフライ演算処理部は、前記複素数データ化されたデータをバタフライ演算処理し、

前記出力復元演算処理部による出力復元演算処理の結果は、実離散フーリエ変換の結果である請求項 1 記載の処理装置。

【請求項 3】 さらに、出力復元演算処理を行う出力復元演算処理部を有し、

前記バタフライ演算処理部は、前記出力復元演算処理されたデータをバタフライ演算処理し、

前記ビット逆順並び替え処理部により書き込まれたデータは実離散逆フーリエ変換の結果である請求項 1 記載の処理装置。

【請求項 4】 前記バタフライ演算処理部は、前記メモリからデータを読み出してバタフライ演算処理を行い、

前記ビット逆順並び替え処理部は、前記バタフライ演算処理部が前記メモリから後に読み出す必要なデータを残し、既に読み出された不要なデータのアドレス

に前記処理結果を上書きする請求項 1 記載の処理装置。

【請求項 5】 複数のバタフライ演算処理を行い、該バタフライ演算処理の結果を前記メモリに書き込むバタフライ演算処理部と、

前記メモリに書き込まれた複数のバタフライ演算処理の結果を、ビット逆順の並び替えを行った前記メモリのアドレスから読み出すビット逆順並び替え処理部とを有し、

前記ビット逆順並び替え処理部により読み出されたデータは離散高速フーリエ変換の結果である処理装置。

【請求項 6】 さらに、入力実数データを複素数データ化する複素数データ化部と、

前記ビット逆順並び替え処理部により読み出されたデータに対して出力復元演算処理を行う出力復元演算処理部とを有し、

前記バタフライ演算処理部は、前記複素数データ化されたデータをバタフライ演算処理し、

前記出力復元演算処理部による出力復元演算処理の結果は、実離散フーリエ変換の結果である請求項 5 記載の処理装置。

【請求項 7】 さらに、出力復元演算処理を行う出力復元演算処理部を有し、

前記バタフライ演算処理部は、前記出力復元演算処理されたデータをバタフライ演算処理し、

前記ビット逆順並び替え処理部により読み出されたデータは実離散逆フーリエ変換の結果である請求項 5 記載の処理装置。

【請求項 8】 離散高速フーリエ変換処理を含む 1 連の演算処理群に対し、外部装置又はメモリからデータを 1 つずつ読み出し、処理し、前記メモリにデータを書き出すシーケンスを 1 単位とし、同種の演算を並列実行しないように調整されたパイプライン型シーケンス制御により、全データにわたって順次繰り返し複数回実行することにより 1 つの演算処理群を処理し、さらに、この 1 連の演算処理群を連続実行することによって演算結果を導出する処理装置であって、

入力データの演算を実行処理する演算処理装置と、

前記演算処理装置の演算結果を格納するメモリとを有し、

前記演算処理装置は、入力データを入力し、処理し、処理結果を出力するまでに特定のレイテンシーを有し、該レイテンシーは演算処理中に、以後の演算処理に必要な前記メモリのデータを出力データで上書きされないように調整された時間であり、

前記レイテンシーを有する演算処理装置により、ビット逆順の並び替え処理群と、その直前又は直後に処理される処理群とを一単位のシーケンスで処理することが可能なことを特徴とする処理装置。

【請求項 9】 離散高速フーリエ変換処理のうちのビット逆順の並び替え処理群とその直前のバタフライ演算処理群とを一単位のシーケンスで処理することが可能なことを特徴とする請求項 8 記載の処理装置。

【請求項 10】 実離散フーリエ変換処理のうちのビット逆順の並び替え処理群とその直後の出力復元演算処理群とを一単位のシーケンスで処理することが可能なことを特徴とする請求項 8 記載の処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、処理装置に関し、特にモデムなどのデジタル信号処理装置などで用いることができる処理装置に関する。

【0002】

【従来の技術】

実離散フーリエ変換 (RDFT) アルゴリズムが知られている。RDFT アルゴリズムは、取り扱う入力データがすべて実数の場合に限られるが、時間軸から周波数軸への変換を行うことができる。

【0003】

また、一般的に RDFT の逆変換である実離散逆フーリエ変換 (RIDFT) アルゴリズムについては、上記の RDFT アルゴリズムの処理を逆順に実行することにより得られることが知られている。

【0004】

従来、この種の演算処理装置では、このRDFTならびにRIDFTアルゴリズムに基づいた演算処理装置は見受けられない。

【 0 0 0 5 】

【発明が解決しようとする課題】

本発明の目的は、可能な限り少ない搭載演算器数で、かつ演算結果を得るまでの処理サイクル数をできる限り少なくした処理装置を提供することである。

【 0 0 0 6 】

【課題を解決するための手段】

本発明の一観点によれば、データを記憶可能なメモリと、複数のバタフライ演算処理を行うバタフライ演算処理部と、前記バタフライ演算処理部による複数のバタフライ演算処理の結果を処理順の前記メモリのアドレスに書き込まず、ビット逆順の並び替えを行った前記メモリのアドレスに該バタフライ演算処理の結果を書き込むビット逆順並び替え処理部とを有する処理装置が提供される。このビット逆順並び替え処理部により書き込まれたデータは離散高速フーリエ変換の結果である。

【 0 0 0 7 】

本発明の他の観点によれば、複数のバタフライ演算処理を行い、該バタフライ演算処理の結果を前記メモリに書き込むバタフライ演算処理部と、前記メモリに書き込まれた複数のバタフライ演算処理の結果を、ビット逆順の並び替えを行った前記メモリのアドレスから読み出すビット逆順並び替え処理部とを有する処理装置が提供される。このビット逆順並び替え処理部により読み出されたデータは離散高速フーリエ変換の結果である。

【 0 0 0 8 】

バタフライ演算処理の結果をメモリに書き込み、メモリ内のデータに対してビット逆順並び替え処理を行って再びメモリに書き込むと処理速度が遅くなる。本発明によれば、メモリへの書き込み時又はメモリからの読み出し時に、ビット逆順並び替え処理を行うことにより、処理速度を高速にすることができる。また、パイプライン処理を行うことができるので、少ない演算器で、かつ演算結果を得るまでの処理サイクル数を少なくすることができる。

【 0 0 0 9 】

【発明の実施の形態】

本発明の実施形態による処理装置は、実離散フーリエ変換を行うことができる。フーリエ変換は、時間軸から周波数軸への変換を行うことができる。実離散フーリエ変換（RDFT）アルゴリズムは、取り扱う入力データがすべて実数の場合に限られるが、時間間引き、周波数間引きなど一般的な離散高速フーリエ変換（FFT）アルゴリズムで演算対象となる入力データ数を半分に、すなわち演算量を半分程度に削減できるアルゴリズムである。

【 0 0 1 0 】

図 1 は、RDFT アルゴリズムの原理を示す概念図であり、以下の特徴を有する。

(1) FFT 演算処理の対象となる入力複素数データ (N データ) がすべて実数、すなわち入力データすべての虚部が 0 であるとの仮定に基づき、偶数番目のデータの虚部に奇数番目のデータの実部を折畳む処理により、演算データ数を半分 (N/2 データ) にする。

【 0 0 1 1 】

(2) (1) の N/2 データの FFT 計算処理を実行、具体的にはバタフライ演算処理し、ビット逆順の並び替え処理を実行する。

【 0 0 1 2 】

(3) (2) の FFT 演算出力と、その複素共役とでバタフライ演算 (出力復元演算) を行う。

【 0 0 1 3 】

RDFT アルゴリズムは、上記の概念により成立ち、この原理を導出すると以下のようになる。図 1 の N 個の入力実数データ 1 0 1 の偶数番目を $x(2n)$ 、奇数番目を $x(2n+1)$ とすると、これらを実部及び虚部とした複素数データ $a(n)$ は、次式で表される。

【 0 0 1 4 】

【数 1】

$$a(n) = x(2n) + jx(2n+1) \quad (1)$$

ここで n は、 $0 \leq n < N/2$ を満たす整数である。さらに、

【0015】

【数2】

$$e(n) \equiv x(2n), h(n) \equiv x(2n+1), N' \equiv \frac{N}{2}$$

を定義し、 $a(n)$ を変形すると、

【0016】

【数3】

$$a(n) = e(n) + jh(n) \quad (2)$$

が得られる。この $a(n)$ は、図1の複素数データ102に相当する。この $a(n)$ に対して、 N' の離散高速フーリエ変換 (FFT) 計算処理を実行すると、次式になる。

【0017】

【数4】

$$A(k) = \sum_{n=0}^{N'-1} a(n) W_{N'}^{kn} = \sum_{n=0}^{N'-1} [e(n) + jh(n)] W_{N'}^{kn} \quad (3)$$

この $A(k)$ は、図1のFFT出力データ103に相当する。ここで、

【0018】

【数5】

$$E(k) \equiv \sum_{n=0}^{N'-1} e(n) W_{N'}^{kn}$$

$$H(k) \equiv \sum_{n=0}^{N'-1} h(n) W_{N'}^{kn}$$

$$W_{N'}^i = W_N^{2i}$$

とすれば、

【0019】

【数6】

$$\begin{aligned} A(k) &= \sum_{n=0}^{N'-1} [e(n) + jh(n)] W_N^{kn} \\ &= E(k) + jH(k), 0 \leq k < N' \end{aligned} \quad (4)$$

が得られる。

また、 $A(k)$ の逆順の複素共役 $A^*(N' - k)$ は、

【0020】

【数7】

$$\begin{aligned} A^*(N' - k) &= \sum_{n=0}^{N'-1} [e(n) - j(W_N^{N'-k})^* h(n)] [W_N^{(N'-k)n}] \\ &= \sum_{n=0}^{N'-1} [e(n) - jW_N^k h(n)] W_N^{nk} \\ &= E(k) - jH(k), 0 \leq k < N' \end{aligned} \quad (5)$$

であり、 $A(k)$ の虚部の正負符号を逆にすることにより求めることができる。

これら $A(k)$ 及び $A^*(N' - k)$ は、図1のデータ104に相当する。一方、RDFT出力となる $X(k)$ は、次式により求められる。

【0021】

【数 8】

$$\begin{aligned}
 X(k) &= \sum_{n=0}^{N-1} x(n) W_N^{kn} \\
 &= \sum_{n=0}^{N-1} [x(2n) + x(2n+1)] W_N^{kn} \\
 &= \sum_{n=0}^{N-1} [x(2n) W_N^{k \cdot 2n} + x(2n+1) W_N^{k \cdot (2n+1)}] \\
 &= \sum_{n=0}^{N-1} [e(n) W_N^{k \cdot 2n} + h(n) W_N^{k \cdot (2n+1)}] \\
 &= E(k) + W_N^k H(k)
 \end{aligned} \tag{6}$$

式(4)、(5)からE(k), H(k)を求め、式(6)へ代入すると、

【0 0 2 2】

【数 9】

$$\begin{aligned}
 X(k) &= E(k) + W_N^k H(k) \\
 &= \frac{A(k) + A^*(N'-k)}{2} - j W_N^k \frac{A(k) - A^*(N'-k)}{2}, 0 \leq k < N'
 \end{aligned} \tag{7}$$

となる。

【0 0 2 3】

$X^*(k)$ は、 $X(k)$ の複素共役であり、 $X(k)$ の虚部の正負符号を逆にすることにより求めることができる。 $X(k)$ 及び $X^*(k)$ は、図1のRDFT出力105に相当する。すなわち、図1の出力復元処理106を行うことにより、データ104からRDFT出力105を求めることができる。

【0 0 2 4】

図3は、RDFT演算処理シーケンス図であり、RDFTの処理の概略を示す。RDFTの詳細な処理は、後に図5を参照しながら説明する。

【0 0 2 5】

ステップ301では、例えばデータ数16の入力実数データの複素数データ化

を行う。具体的には、偶数番目の入力実数データ $x(2n)$ を実部へ配置し、奇数番目の入力実数データ $x(2n+1)$ を虚部へ配置する。この処理は、図1の入力実数データ101から複素数データ102への変換に相当する。

【0026】

次に、ステップ310では、例えばデータ数8のFFT計算処理を行う。この処理は、図1の複素数データ102からFFT出力103への変換に相当する。ステップ310は、ステップ302～305により構成される。

【0027】

ステップ302では、第1回目の基数2のバタフライ演算処理群の処理を行う。ステップ303では、第2回目の基数2のバタフライ演算処理群の処理を行う。ステップ304では、第3回目の基数2のバタフライ演算処理群の処理を行う。ステップ305では、ビット逆順の並び替え処理群の処理を行う。

【0028】

次に、ステップ306では、出力復元処理群の処理を行う。この処理は、図1のFFT出力103からRDFT出力105への変換に相当する。

【0029】

図5は、RDFT演算処理データフローグラフである。まず、ステップ501では、図1の実数データ101を入力する。ステップ502は、図3のステップ301に相当し、入力実数データを複素数データ化する。ステップ503は、図3のステップ302に相当し、第1回目の基数2のバタフライ演算処理群の処理を行う。バタフライ演算処理の詳細は、後に図6を参照しながら説明する。ステップ504は、図3のステップ303に相当し、第2回目の基数2のバタフライ演算処理群の処理を行う。ステップ505は、図3のステップ304に相当し、第3回目の基数2のバタフライ演算処理群の処理を行う。ステップ506は、図3のステップ305に相当し、ビット逆順の並び替え処理群の処理を行う。この処理の詳細は、後に図8(A)及び(B)を参照しながら説明する。ステップ507は、図3のステップ306に相当し、出力復元演算処理群の処理を行う。この処理の詳細は、後に図7を参照しながら説明する。ステップ508では、RDFTの処理結果を出力する。

【0030】

図6は、図5のステップ505で行う第3回目の基数2のバタフライ演算処理を説明するための図である。ステップ503及び504で行うバタフライ演算も、同様に行われる。

【0031】

データ $a''(0)$ 及び $a''(1)$ を入力し、バタフライ演算処理を行い、データ $A(0)$ 及び $A(4)$ を出力する。出力データ $A(0)$ 及び $A(4)$ は、次式で表される。

【0032】

$$\begin{aligned} A(0) &= a''(0) + a''(1) \\ A(4) &= W_2^0 \times a''(0) - a''(1) \\ &= a''(0) - a''(1) \end{aligned}$$

【0033】

ここで、 W_i^j は、FFTにおける公知の係数であり、例えば W_2^0 が +1 であり、 W_2^1 が -1 であり、 W_4^0 が +1 であり、 W_4^1 が -j であり、 W_4^2 が -1 であり、 W_4^3 が +j である。

【0034】

図8(A)は、図5のステップ506のビット逆順の並び替えを行う前のデータ $A(k)$ である。データ $A(k)$ の順番 k を10進数から2進数に変換する。例えば、0～7の10進数は、3ビットの2進数 b_2 , b_1 , b_0 で表現できる。この3ビットの2進数に対してビット逆順の並び替えを行うと、図8(B)のようになる。すなわち、最上位ビット b_2 と最下位ビット b_0 とを入れ替える。並び替えた2進数を10進数に変換する。この10進数の順番 k で $A(k)$ を並び替えることにより、ビット逆順の並び替え処理を行うことができる。

【0035】

図7は、図5のステップ507に示す出力復元演算処理を説明するための図である。

【0036】

データ $A(1)$ 及び $A(7)$ を入力し、バタフライ演算処理を行い、データ X

(1) 及び $X(7)$ を出力する。ここで、図の簡略化のため入力データ $A(1)$ は、 $A(1)$ 及び $A^*(1)$ を示す。 $A^*(1)$ は、 $A(1)$ の複素共役であり、 $A(1)$ の虚部の正負符号を逆にしたものである。同様に、入力データ $A(7)$ は、 $A(7)$ 及びその複素共役 $A^*(7)$ を示す。

【0037】

出力データ $X(1)$ 及び $X(7)$ は、次式で表される。

$$\begin{aligned} X(1) &= \{A(1) + A^*(7)\} / 2 \\ &\quad - j W_{16}^1 \{A(1) - A^*(7)\} / 2 \\ X(7) &= \{A(7) + A^*(1)\} / 2 \\ &\quad - j W_{16}^7 \{A(7) - A^*(1)\} / 2 \end{aligned}$$

【0038】

以上のように、RDFTアルゴリズムは、データ数 $N/2$ のFFT計算処理に入力データの折畳み処理と式(7)で示される出力復元演算処理とを付け加えたアルゴリズムで実現できる。

【0039】

図4は、RDFT演算処理装置の概念図である。外部装置401の出力は、演算処理装置402の入力ポートに接続される。演算処理装置402の出力ポートは、メモリ403の書き込みポート及び外部装置404に接続される。メモリ403の読み出しポートは、演算処理装置402の入力ポートに接続される。演算処理装置402は、少なくとも加算器及び乗算器を有する。減算は加算器により実現可能であり、除算はビットシフトにより実現可能である。

【0040】

本実施形態では、外部装置401もしくはメモリ403よりデータを1つずつ読み出し、データ処理し、出力データをメモリ403に書き込むシーケンスを1単位とし、図2に示すようなパイプライン型シーケンス制御により、全データにわたって順次複数回繰り返し実行することで1演算処理群の処理を行い、さらに、これを1単位として、RDFT演算に必要なすべての演算処理群で実行して演算出力を導出する処理手順を用いる。これにより、同種演算の同サイクルでの並列実行が避けられるため、搭載する演算器数を可能な限り少なくできる。

【 0 0 4 1 】

次に、処理の高速化について説明する。処理サイクル数は少なくできるが、演算器数は多くなる演算処理の並列実行による手段は避け、図 3 に示される RDFT 演算処理で実行される 2 つの処理群を 1 単位のシーケンスで同時実行することによって、1 つの処理群にかかる処理サイクル数を削減する手段を用いる。具体的には、処理そのものに演算処理が含まれない図 3 のビット逆順の並び替え処理群 3 0 5 とその後に実行される出力復元演算処理群 3 0 6 とを 1 単位のシーケンスで実行、もしくは図 3 のビット逆順の並び替え処理群 3 0 5 とその前に実行される第 3 回目の基数 2 のバタフライ演算処理群 3 0 4 とを 1 単位のシーケンスで同時実行することにより、ビット逆順の並び替え処理群 3 0 5 にかかる処理サイクル数を削減する手段を用いる。この際、ビット逆順の並び替え処理群 3 0 5 は、メモリ 4 0 3 の読み出し又は書き込みの制御により実現するので、単独のビット逆順の並び替え処理群 3 0 5 をなくすることができる。

【 0 0 4 2 】

すなわち、図 3 に示す RDFT 演算処理シーケンス図の演算処理群の数が 6 つから 5 つに減ることを示す。FFT 計算処理 3 1 0 については、演算処理群の数が 4 つから 3 つに減ることになる。その処理サイクル数は、この高速化手段を持たない装置のものより、RDFT 演算処理装置については 16%、FFT 計算処理装置については 25% 小さくなる。

【 0 0 4 3 】

以上の手段により、できる限り少ない搭載演算器数で、かつビット逆順の並び替え処理群にかかる処理サイクル数の削減、つまり処理が高速化された RDFT 演算処理装置及び FFT 計算処理装置の提供が可能となる。このような装置の提供は、その低実装面積によって LSI の値段を下げる作用と、処理サイクル数の削減によって LSI 処理性能を向上させる作用を与える。

【 0 0 4 4 】

次に、より詳細な処理手順を理解するために、図 5 により、各演算処理群の内容について説明する。処理データの全体的な流れとしては、外部装置 4 0 1 から入力されたデータ数 16 の入力実数データをデータ数 8 の複素データ化し、基数 2 の

バタフライ演算処理群を3回とビット逆順の並び替え処理群、すなわちデータ数8のFFT計算処理を行った後、これに出力復元演算処理群を実行してRDFT演算結果を算出し、外部装置404へ出力するものとなっている。ここで、“処理群”の意味は、処理を1つずつ順次繰り返し複数回実行する処理の集まりのことを示し、基数2のバタフライ演算処理群は図6の演算処理、出力復元演算処理群は図7の演算処理を1処理ずつ順次繰り返し複数回実行されることを示している。なお、演算過程の処理データは、すべてメモリ403上に読書きされ、各処理群のデータは、演算結果を得るまで、すべてメモリ403より入力もしくは出力される。

【0045】

次に、ビット逆順の並び替え処理群の処理内容について説明する。バタフライ演算後のデータは、本来期待するものと異なった並び順で出力されてしまう。この出力データの並び順は、出力データの並び順を2進数表記し、その最上位1ビットと最下位1ビットを入れ替えたものを10進表記に直した順番に並び替えると本来期待したデータの並び順となる。この並び替えの処理をビット逆順の並び替えといい、以上の説明を図に示すと図8（A）、（B）のものとなる。この図からわかるように、左の10進数バタフライ演算出力の並びは、ビット逆順の並び替え処理後、右の10進数の並びとなり、0は0、1は4、2は2、3は6など、その順番が並び替えられる。

【0046】

前述した各処理群の内容を踏まえ、以下で、本実施形態の処理装置の処理手順について説明する。ここで、図9は図3の第3回目の基数2のバタフライ演算処理群304とビット逆順の並び替え処理群305の同時実行時の処理手順を示した図である。図9は処理実行時のタイミングを示し、図10（A）～（I）は図4のメモリ403のデータの変化の様子を示したものである。また、図9のタイミング図は、上から順に、時間の観念を示すための処理サイクル、演算処理装置402の入力ポート上のデータ、各演算処理、演算処理装置402の出力ポート上のデータ、メモリ403のアドレス線上のデータ、そしてメモリ読書き指示であるメモリR/W線上のデータが記載されている。

【0047】

そして、図10(A)～(I)のメモリデータの変化図は、メモリ格納データの変化の様子を示した図である。図10(A)は、第3回目のパラフライ演算処理開始前の格納データである。図10(B)～(H)は、上段のメモリR/WデータのW区間で書込まれるデータによる格納データの変化を示す。図10(I)は、演算処理終了後の格納データを示す。

【0048】

具体的な処理手順としては、処理サイクル1から順に、メモリのアドレス0より、 $a''(0)$ を演算処理装置402に読み込み、サイクル3から、出力データの1つであるA(0)の基数2のパタフライ演算処理を実行、そしてサイクル10で演算出力A(0)をメモリ403へ書き込んで1演算処理を終了するという3つのシーケンスを1単位として、これをパイプライン処理で全データにわたって順次繰り返し実行するものとなっている。なお、本実施形態の演算処理装置では、その他すべてのRDFT演算処理群についても、以上で記したものと同様な処理手順を行っている。

【0049】

また、図9において、処理サイクル9でアドレス4からデータ $a''(4)$ を読み出す。処理サイクル10で、図10(B)に示すよう、アドレス0にデータA(0)を書き込む。処理サイクル11でアドレス5からデータ $a''(5)$ を読み出す。処理サイクル12で、図10(C)に示すよう、アドレス4にデータA(4)を書き込む。処理サイクル13でアドレス6からデータ $a''(6)$ を読み出す。処理サイクル14で、図10(D)に示すよう、アドレス2にデータA(2)を書き込む。処理サイクル15でアドレス7からデータ $a''(7)$ を読み出す。処理サイクル16で、図10(E)に示すよう、アドレス6にデータA(6)を書き込む。その後、処理サイクル18、20、22、24で、それぞれ図10(F)、(G)、(H)、(I)に示すよう、アドレス1、5、3、7にデータA(1)、A(5)、A(3)、A(7)を書き込む。

【0050】

次に、本実施形態の特徴である処理の高速化手段について説明する。一般的な

FFT計算処理はインプレース形演算と呼ばれる演算処理形式となる。この特徴は、メモリから入力データを読み出す際のメモリアドレスと全く同じ順番で、演算処理後の出力データをメモリへ書き込むというものである。この特徴により、FFT計算処理では、その演算出力データをメモリへ書き込む際に、メモリに格納されている演算未処理データを上書きする心配をする必要は無い。

【0051】

ところが、本実施形態のように、データの並び替え処理であるビット逆順の並び替え処理群を、その前後の演算処理群とで同時実行する場合は、このインプレース形演算形式ではなくなるため、演算出力データで、メモリの演算未処理データを上書きする恐れが出てくる。

【0052】

本実施形態の処理装置では、この問題を避けるため、データの読み込みから、演算出力を書き出すまでの間に数サイクルの遅延 T_1 、いわゆるレイテンシーを設け、その遅延値 T_1 を調整し、演算出力データで、メモリの演算未処理データを上書きすることを防止している。図9は、この手段を有する処理装置により、第3回目の基数2のバタフライ演算処理群とビット逆順の並び替え処理群を同時実行した例である。図10(A)～(I)のメモリデータの変化を見るとわかるように、処理開始前(図10(A))には、第2回目の基数2のバタフライ演算処理群の出力がメモリに記憶されていたものが、処理終了後(図10(I))は、第3回目の基数2のバタフライ演算処理群の出力で、かつデータの並び順もビット逆順の並び替え処理後のものとなっている。

【0053】

図11は、図3のビット逆順の並び替え処理群305と出力復元演算処理群306を同時実行した例を示す。演算処理装置402は、処理サイクル1、3、5、7、9、11、13、15で、メモリ403のアドレス0、1、4、7、2、3、6、5から、データ $A(0)$ 、 $A(4)$ 、 $A(1)$ 、 $A(7)$ 、 $A(2)$ 、 $A(6)$ 、 $A(3)$ 、 $A(5)$ を読み出す。例えば、演算処理3は、図5に示すように、データ $A(1)$ 及び $A(7)$ を基に、データ $X(1)$ を出力する。すなわち、データ $A(1)$ 及び $A(7)$ を続けて順次読み出す必要がある。上記のメ

メモリ403からの読み出し順序は、このような演算に必要なデータの順番及び必要なデータの上書き禁止を考慮した順番に制御される。図9の場合も、同様に、読み出し順序を制御する必要がある。

【0054】

また、図12(A)は、ビット逆順の並び替え処理群305及び出力復元演算処理群306を行う前のメモリ403の内容を示す。処理サイクル10、12、14、16、18、20、22、24では、図12(B)、(C)、(D)、(E)、(F)、(G)、(H)、(I)に示すように、アドレス0、4、1、7、2、6、3、5に、データX(0)、X(4)、X(1)、X(7)、X(2)、X(6)、X(3)、X(5)を書き込む。

【0055】

この1単位のシーケンスの処理開始前は第3回目の基数2のバタフライ演算処理群の結果が図12(A)のメモリに記憶され、処理終了後はRDFT出力結果が図12(I)のメモリに記憶される。

【0056】

この場合も、図9の場合と同様に、図3のビット逆順の並び替え処理群305と出力復元演算処理群306を同時実行することにより、メモリ403上の演算未処理データを上書きすることなく、処理の高速化を図ることができる。

【0057】

図13は、実離散逆フーリエ変換(RIDFT)演算処理シーケンス図である。RIDFTは、RDFTの逆変換であり、上記のRDFTアルゴリズムの処理を逆順に実行することにより得られる。

【0058】

ステップ1301では、図3のステップ306に相当し、出力復元演算処理群の処理を行う。次に、ステップ1310は、図3のステップ310に相当し、例えばデータ数8のFFT計算処理を行う。このステップ1310は、ステップ1302～1305により構成される。ステップ1302では、第1回目の基数2のバタフライ演算処理群の処理を行う。ステップ1303では、第2回目の基数2のバタフライ演算処理群の処理を行う。ステップ1304では、第3回目の基数

2 のバタフライ演算処理群の処理を行う。ステップ 1 3 0 5 では、ビット逆順の並び替え処理群の処理を行う。

【 0 0 5 9 】

RIDFT でも、RDFT と同様に、ビット逆順の並び替え処理群 1 3 0 5 とその直前又は直後の処理とを同時実行することにより、処理の高速化を図ることができる。すなわち、ビット逆順の並び替え処理群 1 3 0 5 とその直前の第 3 回目の基数 2 のバタフライ演算処理群 1 3 0 4 とを同時実行したり、又はビット逆順の並び替え処理群 1 3 0 5 とその直後の処理とを同時実行することができる。

【 0 0 6 0 】

図 3 において、RDFT は、FFT 計算処理 3 1 0 を含んでいる。図 1 3 において、RIDFT も、FFT 計算処理 1 3 1 0 を含んでいる。すなわち、FFT の単独の処理にも、本実施形態を適用することができる。すなわち、FFT において、ビット逆順の並び替え処理群とその直前の第 3 回目の基数 2 のバタフライ演算処理群とを同時実行したり、又はビット逆順の並び替え処理群とその直後の処理とを同時実行することができる。

【 0 0 6 1 】

本実施形態によれば、できる限り少ない搭載演算器数で、かつビット逆順の並び替え処理群にかかる処理サイクル数を削減した RDFT、RIDFT 及び FFT 演算処理装置の提供が可能となる。この演算処理装置は、モデムなどのデジタル信号処理装置などで用いることができる。

【 0 0 6 2 】

図 3 において、仮に、第 3 回目のバタフライ演算処理群 3 0 4 の結果をメモリに書き込み、メモリ内のデータに対してビット逆順並び替え処理群 3 0 5 を行って再びメモリに書き込み、その後、出力復元演算処理 3 0 6 を行うと処理速度が遅くなる。本実施形態によれば、メモリへの書き込み時又はメモリからの読み出し時に、ビット逆順並び替え処理を行うことにより、処理速度を高速にすることができる。

【 0 0 6 3 】

また、処理を高速化するためには、多数の演算器を用いて並列処理する方法が

考えられる。ただし、所定の処理速度を実現できれば十分な場合には、できるだけ演算器の数を減らした方が処理装置を小型化し、コストを下げるができる。本実施形態によれば、パイプライン処理を行うことができるので、少ない演算器で、かつ演算結果を得るまでの処理サイクル数をできる限り少なくして、RDFT、RIDFT及びFFTを行うことができる。

【0064】

本実施形態は、コンピュータがプログラムを実行することによっても実現することができる。また、プログラムをコンピュータに供給するための手段、例えばかかるプログラムを記録したCD-ROM等の記録媒体又はかかるプログラムを伝送するインターネット等の伝送媒体も本発明の実施形態として適用することができる。上記のプログラム、記録媒体及び伝送媒体は、本発明の範疇に含まれる。

【0065】

なお、上記実施形態は、何れも本発明を実施するにあたっての具体化のほんの一例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、またはその主要な特徴から逸脱することなく、様々な形で実施することができる。

【0066】

本発明の実施形態は、例えば以下のように種々の適用が可能である。

(付記1) データを記憶可能なメモリと、

複数のバタフライ演算処理を行うバタフライ演算処理部と、

前記バタフライ演算処理部による複数のバタフライ演算処理の結果を処理順の前記メモリのアドレスに書き込まず、ビット逆順の並び替えを行った前記メモリのアドレスに該バタフライ演算処理の結果を書き込むビット逆順並び替え処理部とを有し、

前記ビット逆順並び替え処理部により書き込まれたデータは離散高速フーリエ変換の結果である処理装置。

(付記2) さらに、入力実数データを複素数データ化する複素数データ化部と

前記ビット逆順並び替え処理部により前記メモリに書き込まれたデータを読み出して出力復元演算処理を行う出力復元演算処理部とを有し、

前記バタフライ演算処理部は、前記複素数データ化されたデータをバタフライ演算処理し、

前記出力復元演算処理部による出力復元演算処理の結果は、実離散フーリエ変換の結果である付記 1 記載の処理装置。

(付記 3) さらに、出力復元演算処理を行う出力復元演算処理部を有し、

前記バタフライ演算処理部は、前記出力復元演算処理されたデータをバタフライ演算処理し、

前記ビット逆順並び替え処理部により書き込まれたデータは実離散逆フーリエ変換の結果である付記 1 記載の処理装置。

(付記 4) 前記バタフライ演算処理部は、前記メモリからデータを読み出してバタフライ演算処理を行い、

前記ビット逆順並び替え処理部は、前記バタフライ演算処理部が前記メモリから後に読み出す必要なデータを残し、既に読み出された不要なデータのアドレスに前記処理結果を上書きする付記 1 記載の処理装置。

(付記 5) 前記バタフライ演算処理部は、前記ビット逆順並び替え処理部が前記必要なデータを上書きしないように、前記メモリからの読み出し順序を制御する付記 4 記載の処理装置。

(付記 6) 複数のバタフライ演算処理を行い、該バタフライ演算処理の結果を前記メモリに書き込むバタフライ演算処理部と、

前記メモリに書き込まれた複数のバタフライ演算処理の結果を、ビット逆順の並び替えを行った前記メモリのアドレスから読み出すビット逆順並び替え処理部とを有し、

前記ビット逆順並び替え処理部により読み出されたデータは離散高速フーリエ変換の結果である処理装置。

(付記 7) さらに、入力実数データを複素数データ化する複素数データ化部と

前記ビット逆順並び替え処理部により読み出されたデータに対して出力復元演

算処理を行う出力復元演算処理部とを有し、

前記バタフライ演算処理部は、前記複素数データ化されたデータをバタフライ演算処理し、

前記出力復元演算処理部による出力復元演算処理の結果は、実離散フーリエ変換の結果である付記 6 記載の処理装置。

(付記 8) さらに、出力復元演算処理を行う出力復元演算処理部を有し、

前記バタフライ演算処理部は、前記出力復元演算処理されたデータをバタフライ演算処理し、

前記ビット逆順並び替え処理部により読み出されたデータは実離散逆フーリエ変換の結果である付記 6 記載の処理装置。

(付記 9) さらに、前記ビット逆順並び替え処理部により読み出されたデータに対して処理を行う後処理部を有する付記 6 記載の処理装置。

(付記 10) 前記後処理部は、前記ビット逆順並び替え処理部が前記メモリから後に読み出す必要なデータを残し、既に読み出された不要なデータのアドレスに処理結果を上書きする付記 6 記載の処理装置。

(付記 11) 前記ビット逆順並び替え処理部は、前記後処理部が前記必要なデータを上書きしないように、前記メモリからの読み出し順序を制御する付記 10 記載の処理装置。

(付記 12) 離散高速フーリエ変換処理を含む 1 連の演算処理群に対し、外部装置又はメモリからデータを 1 つずつ読み出し、処理し、前記メモリにデータを書き出すシーケンスを 1 単位とし、同種の演算を並列実行しないように調整されたパイプライン型シーケンス制御により、全データにわたって順次繰り返し複数回実行することにより 1 つの演算処理群を処理し、さらに、この 1 連の演算処理群を連続実行することによって演算結果を導出する処理装置であって、

入力データの演算を実行処理する演算処理装置と、

前記演算処理装置の演算結果を格納するメモリとを有し、

前記演算処理装置は、入力データを入力し、処理し、処理結果を出力するまでに特定のレイテンシーを有し、該レイテンシーは演算処理中に、以後の演算処理に必要な前記メモリのデータを出力データで上書きされないように調整された時

間であり、

前記レイテンシーを有する演算処理装置により、ビット逆順の並び替え処理群と、その直前又は直後に処理される処理群とを一単位のシーケンスで処理することが可能なことを特徴とする処理装置。

(付記 1 3) 離散高速フーリエ変換処理のうちのビット逆順の並び替え処理群とその直前のバタフライ演算処理群とを一単位のシーケンスで処理することが可能なことを特徴とする付記 1 2 記載の処理装置。

(付記 1 4) 実離散フーリエ変換を行う付記 1 3 記載の処理装置。

(付記 1 5) 実離散逆フーリエ変換を行う付記 1 3 記載の処理装置。

(付記 1 6) 実離散フーリエ変換処理のうちのビット逆順の並び替え処理群とその直後の出力復元演算処理群とを一単位のシーケンスで処理することが可能なことを特徴とする付記 1 2 記載の処理装置。

(付記 1 7) 複数のバタフライ演算処理を行うバタフライ演算処理ステップと

前記複数のバタフライ演算処理の結果を処理順のメモリのアドレスに書き込まず、ビット逆順の並び替えを行ったメモリのアドレスに該バタフライ演算処理の結果を書き込むビット逆順並び替え処理ステップとを有し、

前記ビット逆順並び替え処理ステップにより書き込まれたデータは離散高速フーリエ変換の結果である処理方法。

(付記 1 8) 複数のバタフライ演算処理を行い、該バタフライ演算処理の結果をメモリに書き込むバタフライ演算処理ステップと、

前記メモリに書き込まれた複数のバタフライ演算処理の結果を、ビット逆順の並び替えを行った前記メモリのアドレスから読み出すビット逆順並び替え処理ステップとを有し、

前記ビット逆順並び替え処理ステップにより読み出されたデータは離散高速フーリエ変換の結果である処理方法。

(付記 1 9) 複数のバタフライ演算処理を行うバタフライ演算処理手順と、

前記複数のバタフライ演算処理の結果を処理順のメモリのアドレスに書き込まず、ビット逆順の並び替えを行ったメモリのアドレスに該バタフライ演算処理の

結果を書き込むビット逆順並び替え処理手順と
をコンピュータに実行させるためのプログラム。

(付記20) 複数のバタフライ演算処理を行い、該バタフライ演算処理の結果
をメモリに書き込むバタフライ演算処理手順と、

前記メモリに書き込まれた複数のバタフライ演算処理の結果を、ビット逆順の
並び替えを行った前記メモリのアドレスから読み出すビット逆順並び替え処理手
順と

をコンピュータに実行させるためのプログラム。

【0067】

【発明の効果】

以上説明したように本発明によれば、メモリへの書き込み時又はメモリからの
読み出し時に、ビット逆順並び替え処理を行うことにより、処理速度を高速にす
ることができる。また、パイプライン処理を行うことができるので、少ない演算
器で、かつ演算結果を得るまでの処理サイクル数を少なくすることができる。

【図面の簡単な説明】

【図1】

実離散フーリエ変換 (RDFT) アルゴリズムの原理概念図である。

【図2】

パイプライン型シーケンス制御図である。

【図3】

RDFT演算処理シーケンス図である。

【図4】

RDFT演算処理装置の概念図である。

【図5】

RDFT演算処理データフローグラフである。

【図6】

基数2のバタフライ演算処理を示す図である。

【図7】

出力復元演算処理を示す図である。

【図 8】

図 8 (A) 及び (B) はビット逆順の並び替え処理例を示す図である。

【図 9】

第 3 回目の基数 2 バタフライ演算処理群とビット逆順の並び替え処理群の同時実行時のタイミングチャートである。

【図 1 0】

図 1 0 (A) ～ (I) はメモリの内容を示す図である。

【図 1 1】

ビット逆順の並び替え処理群と出力復元演算処理群の同時実行時のタイミングチャートである。

【図 1 2】

図 1 2 (A) ～ (I) はメモリの内容を示す図である。

【図 1 3】

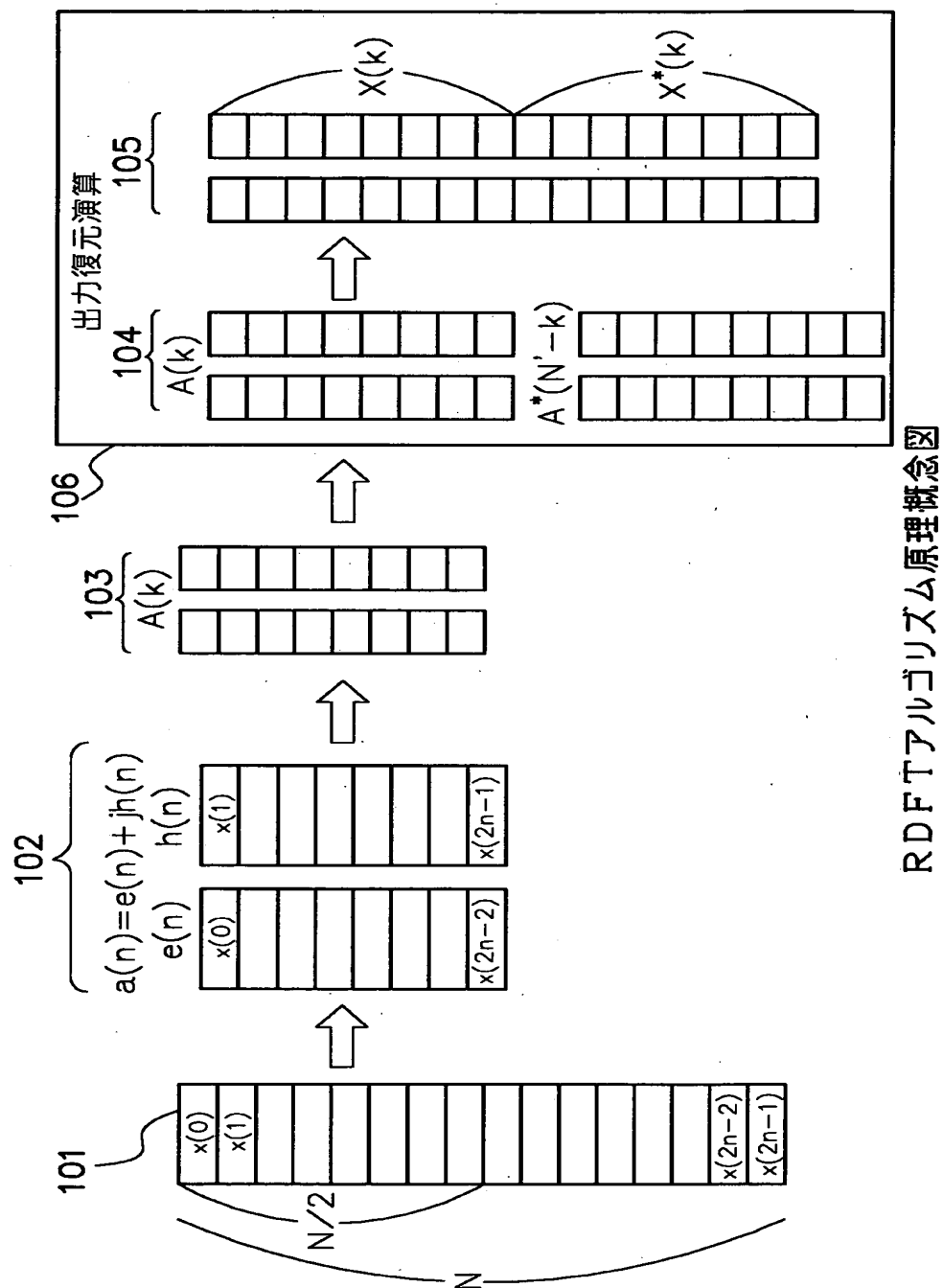
実離散逆フーリエ変換 (RIDFT) 演算処理のシーケンス図である。

【符号の説明】

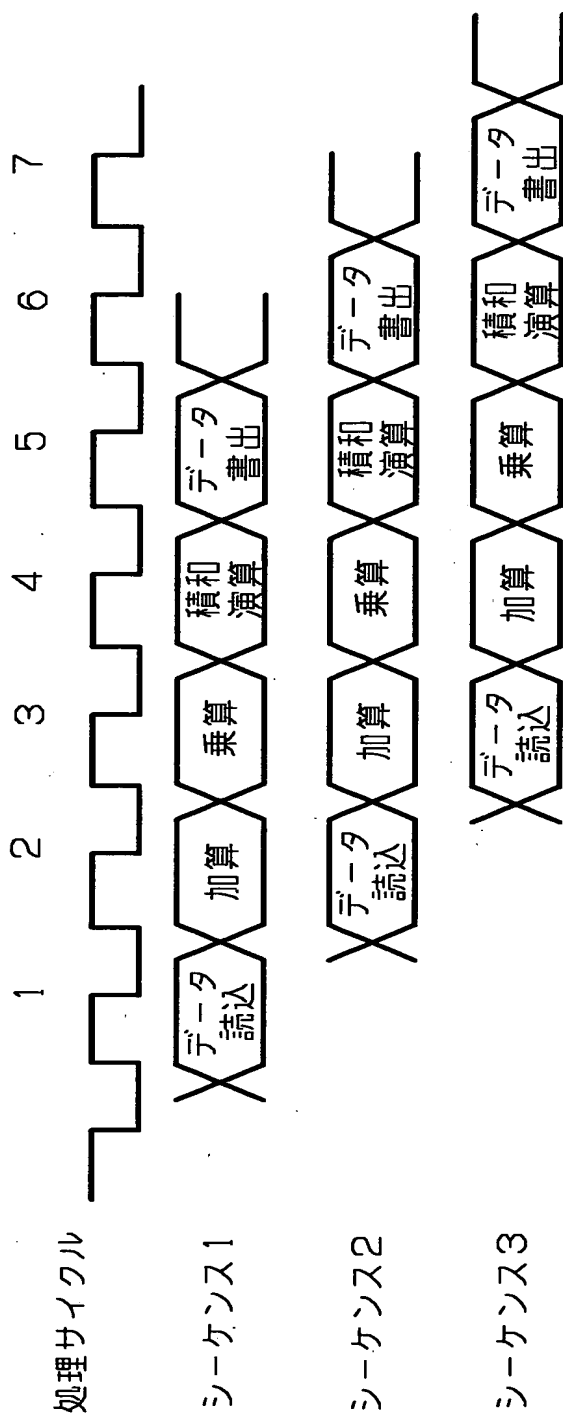
- 4 0 1 外部装置
- 4 0 2 演算処理装置
- 4 0 3 メモリ
- 4 0 4 外部装置

【書類名】 図面

【図 1】

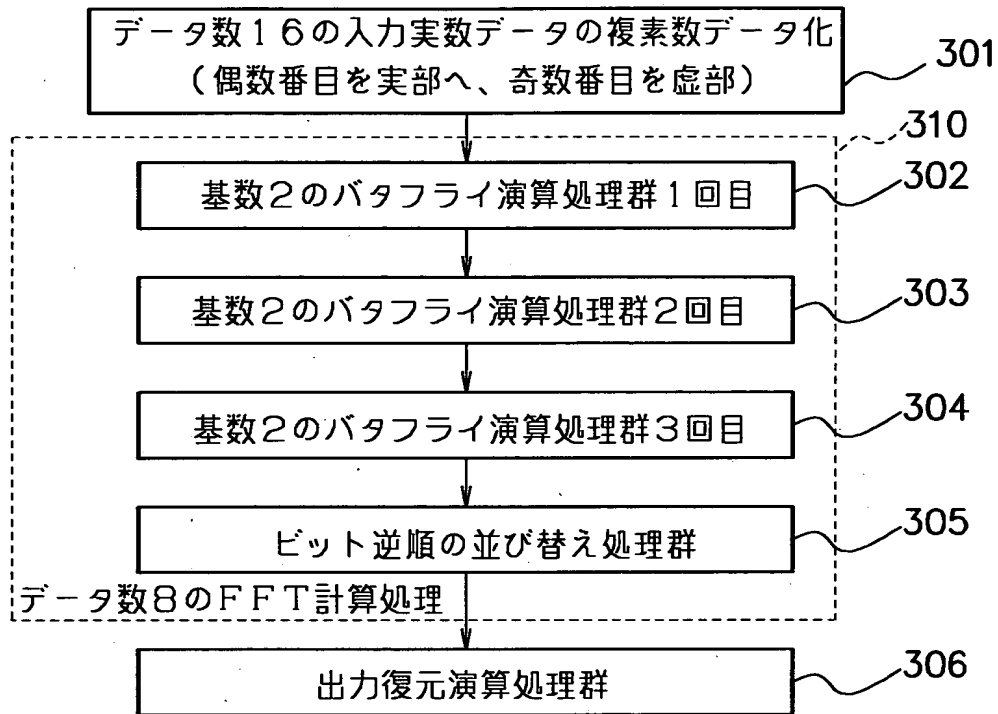


【図2】



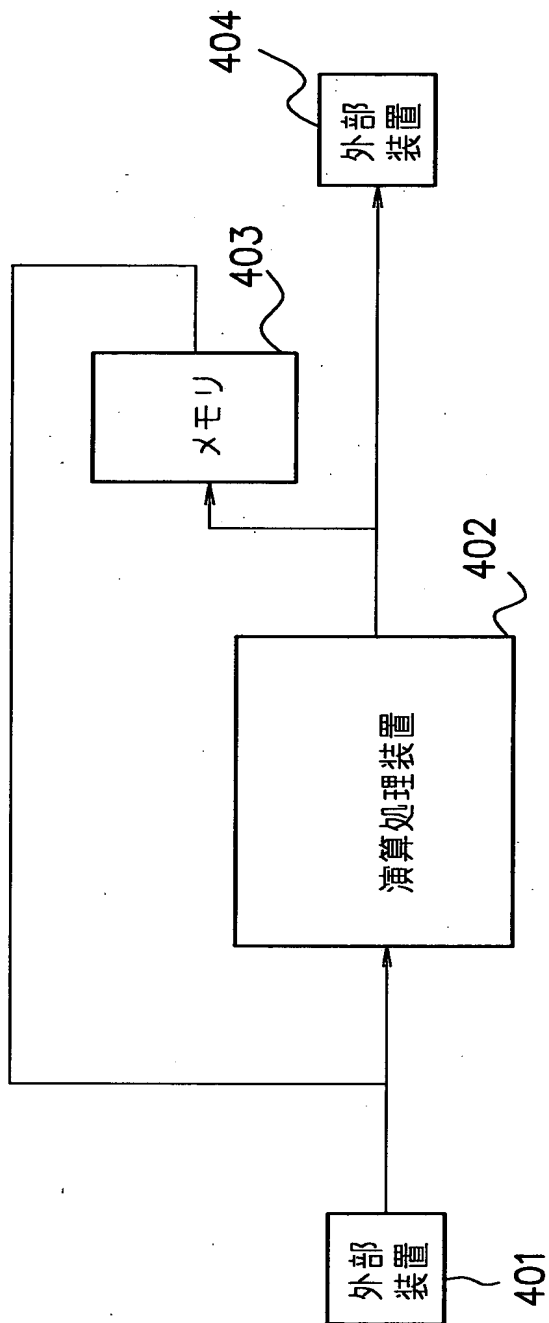
パイプライン型シーケンス制御図

【図 3】



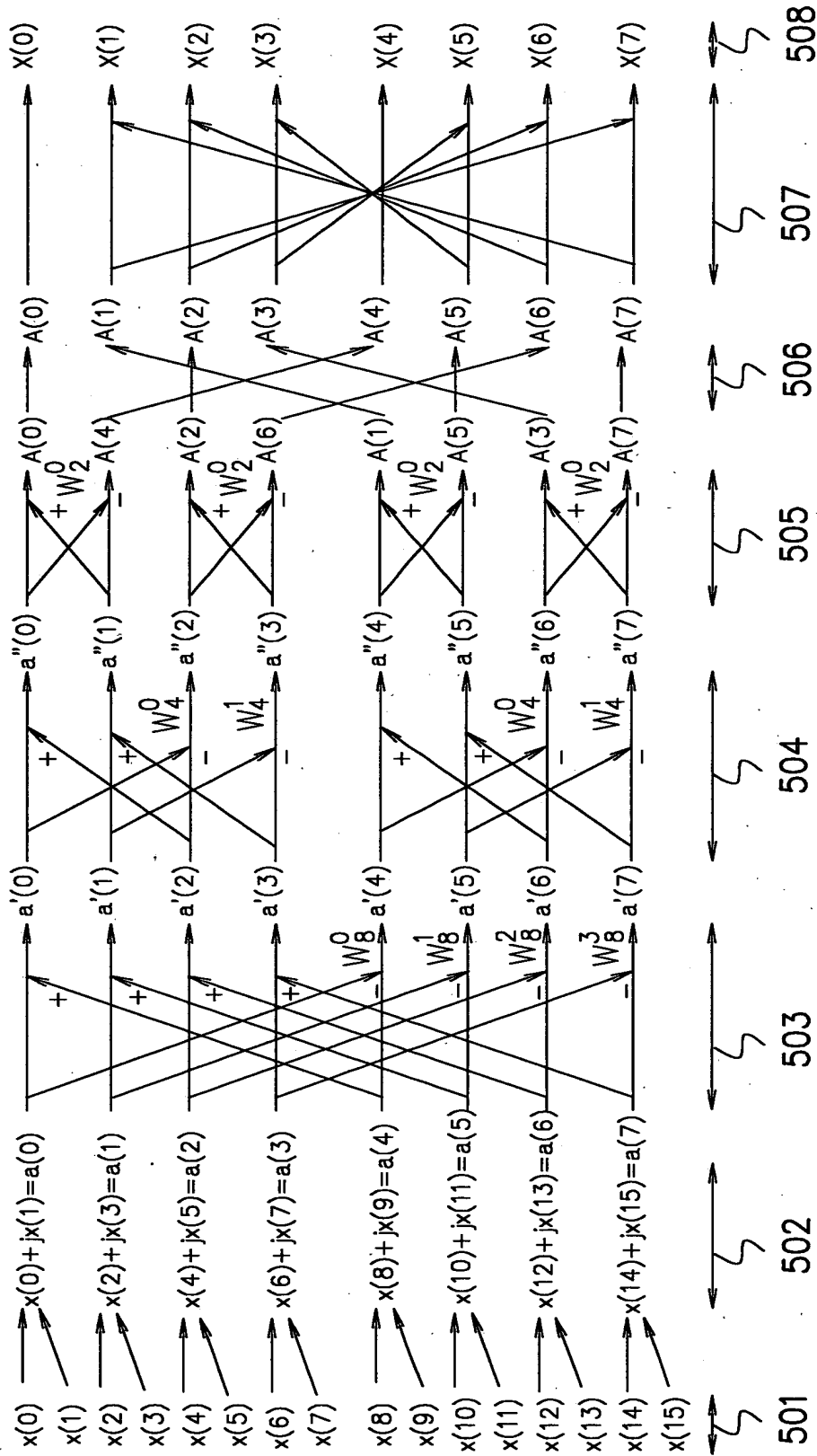
RFFT演算処理シーケンス図

【図4】



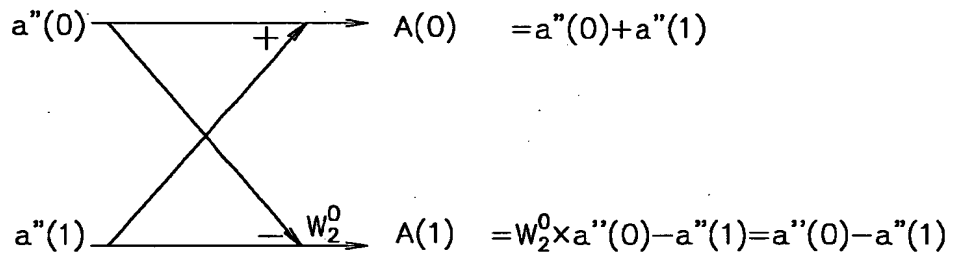
RDF演算処理装置の概念図

【図5】



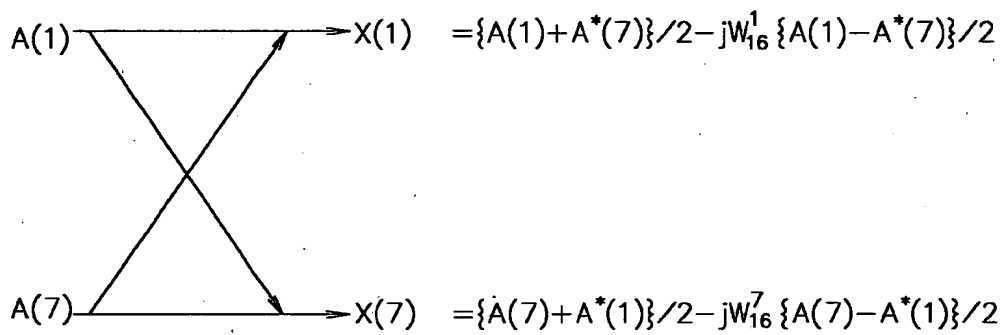
RFFT演算処理データフローグラフ

【図 6】



基数2のバタフライ演算処理

【図 7】



出力復元演算

【図 8】

(A)

10進数		2進数		
		b2	b1	b0
0	⇒	0	0	0
1	⇒	0	0	1
2	⇒	0	1	0
3	⇒	0	1	1
4	⇒	1	0	0
5	⇒	1	0	1
6	⇒	1	1	0
7	⇒	1	1	1

(B)

2進数			10進数	
b2	b1	b0		
0	0	0	⇒	0
1	0	0	⇒	4
0	1	0	⇒	2
1	1	0	⇒	6
0	0	1	⇒	1
1	0	1	⇒	5
0	1	1	⇒	3
1	1	1	⇒	7

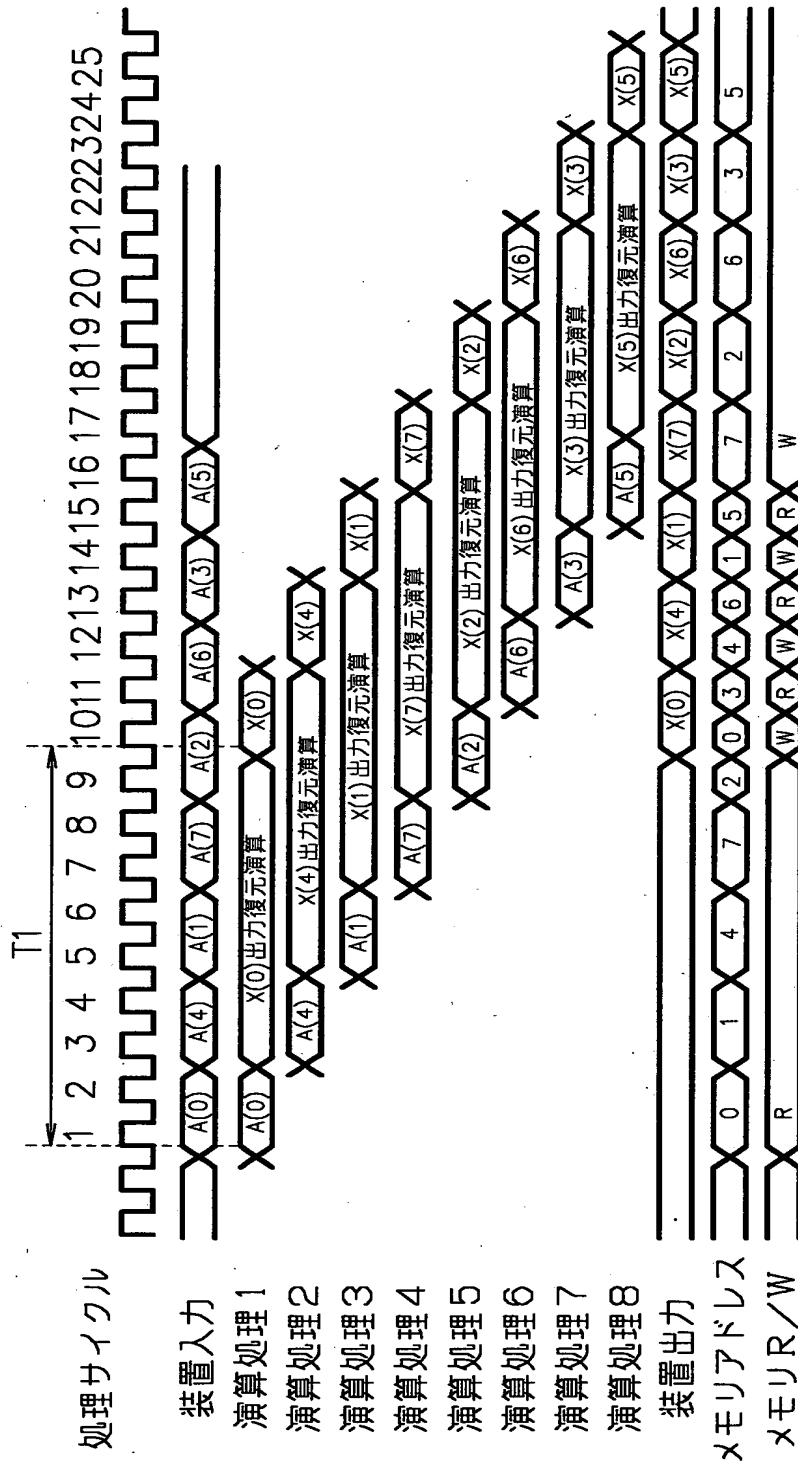
ビット逆順の並び替え処理例

【図 10】

(A)	(B)	(C)	(D)	(E)
アドレスデータ	アドレスデータ	アドレスデータ	アドレスデータ	アドレスデータ
0 a"(0)	0 A(0)	0 A(0)	0 A(0)	0 A(0)
1 a"(1)	1 a"(1)	1 a"(1)	1 a"(1)	1 a"(1)
2 a"(2)	2 a"(2)	2 a"(2)	2 A(2)	2 A(2)
3 a"(3)	3 a"(3)	3 a"(3)	3 a"(3)	3 a"(3)
4 a"(4)	4 a"(4)	4 A(4)	4 A(4)	4 A(4)
5 a"(5)	5 a"(5)	5 a"(5)	5 a"(5)	5 a"(5)
6 a"(6)	6 a"(6)	6 a"(6)	6 a"(6)	6 A(6)
7 a"(7)	7 a"(7)	7 a"(7)	7 a"(7)	7 a"(7)

(F)	(G)	(H)	(I)
アドレスデータ	アドレスデータ	アドレスデータ	アドレスデータ
0 A(0)	0 A(0)	0 A(0)	0 A(0)
1 A(1)	1 A(1)	1 A(1)	1 A(1)
2 A(2)	2 A(2)	2 A(2)	2 A(2)
3 a"(3)	3 a"(3)	3 A(3)	3 A(3)
4 A(4)	4 A(4)	4 A(4)	4 A(4)
5 a"(5)	5 A(5)	5 A(5)	5 A(5)
6 A(6)	6 A(6)	6 A(6)	6 A(6)
7 a"(7)	7 a"(7)	7 a"(7)	7 A(7)

【図 1 1】



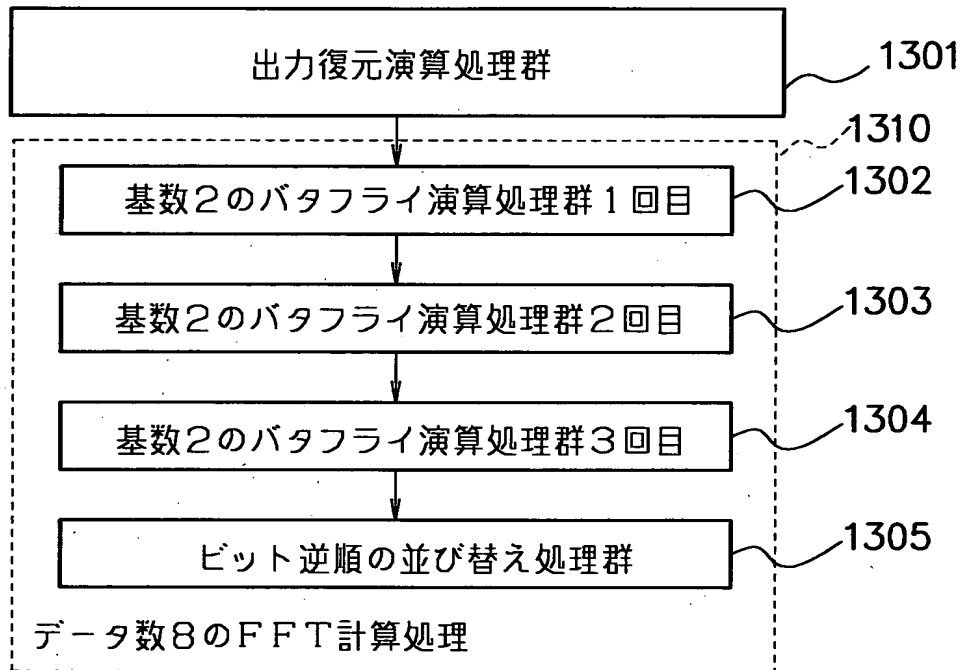
出力復元演算処理群とビット逆順の並び替え処理群の同時実行時の処理手順図

【図12】

(A)	(B)	(C)	(D)	(E)
アドレス データ	アドレス データ	アドレス データ	アドレス データ	アドレス データ
0 A(0)	0 X(0)	0 X(0)	0 X(0)	0 X(0)
1 A(4)	1 A(1)	1 A(1)	1 X(1)	1 X(1)
2 A(2)	2 A(2)	2 A(2)	2 A(2)	2 A(2)
3 A(6)	3 A(3)	3 A(3)	3 A(3)	3 A(3)
4 A(1)	4 A(4)	4 X(4)	4 X(4)	4 X(4)
5 A(5)	5 A(5)	5 A(5)	5 A(5)	5 A(5)
6 A(3)	6 A(6)	6 A(6)	6 A(6)	6 A(6)
7 A(7)	7 A(7)	7 A(7)	7 A(7)	7 X(7)

(F)	(G)	(H)	(I)
アドレス データ	アドレス データ	アドレス データ	アドレス データ
0 X(0)	0 X(0)	0 X(0)	0 X(0)
1 X(1)	1 X(1)	1 X(1)	1 X(1)
2 X(2)	2 X(2)	2 X(2)	2 X(2)
3 A(3)	3 A(3)	3 X(3)	3 X(3)
4 X(4)	4 X(4)	4 X(4)	4 X(4)
5 A(5)	5 A(5)	5 A(5)	5 X(5)
6 A(6)	6 X(6)	6 X(6)	6 X(6)
7 X(7)	7 X(7)	7 X(7)	7 X(7)

【図 1 3】



R I D F T 演算処理シーケンス図

【書類名】 要約書

【要約】

【課題】 少ない演算器でかつ高速に離散高速フーリエ変換を行うことができる処理装置を提供することを課題とする。

【解決手段】 本発明の処理装置は、データを記憶可能なメモリと、複数のバタフライ演算処理を行うバタフライ演算処理部と、バタフライ演算処理部による複数のバタフライ演算処理の結果を処理順のメモリのアドレスに書き込まず、ビット逆順の並び替えを行ったメモリのアドレスに該バタフライ演算処理の結果を書き込むビット逆順並び替え処理部とを有する。ビット逆順並び替え処理部により書き込まれたデータは離散高速フーリエ変換の結果である。

【選択図】 図 9

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社